Parallel EEPROM의 경우에는 주소를 통한 접근이 평행적인 인터페이스를 통해서 이루어진다. 따라서 접근에 필요한 클락수가 매우 낮은 대신 메모리의 용량이 증가함에 따라 핀 수가 증가해야 하며 이것은 패키지 크기의 증가와 가격의 증가로 이어진다. 이에 비해 Serial EEPROM은 전력 소모량, 구동 전압이 낮으며 앞서 말했듯이 필요한 핀수가 적으며 크기가 작다. 이로 인해 Parallel EEPROM은 성능이 매우 중요한 어플리케이션에서는 사용되며 그 외 대부분의 경우에는 Serial EEPROM을 사용한다.

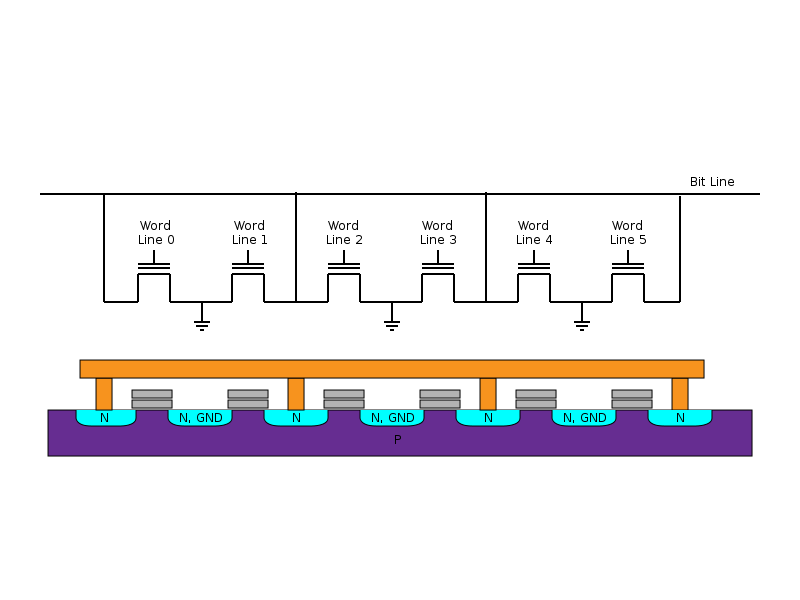
실제 생활에서 DRAM은 컴퓨터의 주메모리로 사용된다. 칩당 2~4GB 크기로 많이 생산되며 최근에는 4세대 DRAM인 DDR4로 기술이 발전해 있다. 2016년에 삼성은 16~19nm 수준의 DDR4 RAM생산이 가능하다고 발표했다. DDR4 DRAM은 정확하게 SDRAM 이라고 부른다. 이는 Synchronous Dynamic Random-Access Memory를 뜻한다. 일반적인 DRAM과의 차이는 외부의 클락 신호를 이용해서 Memory Controller가 Finite-State-Machine을 구현하여 메모리를 작동시킨다는 것이다. 이 방식을 통해 메모리 연산을 Pipelining해서 성능을 높일 수 있다. Memory Controller의 종류에는 Static과 Dynamic이 있으며 Dynamic은 런타임에 메모리 연산의 스케줄을 생성해낸다는 차이가 있다.

SRAM은 컴퓨터의 CPU에서 Cache를 구현하는데 이용된다. DRAM에 비해서 면적대비 메모리 용량이나 가격은 불리하나 메모리 연산 속도는 DRAM에 비해서 절대적으로 빠르며 높은 Clock rate에서도 정상적으로 구동하다. 이로 인해 속도가 절대적으로 중요한 CPU Cache에서 주로 사용된다. 오늘날 프로세서들은 3단계의 Cache 구조를 갖고 있다. 각각 L1, L2, L3 캐시이며, L1 캐시는 속도를 기준으로, L2, L3 캐시는 용량을 기준으로 최적화된 SRAM을 사용한다. 멀티코어 패러다임에서는 코어간의 메모리 공유 자원 이슈로 인해 캐시를 여러 코어가 공유한다. L1 캐시는 각 코어마다 하나씩, L2 캐시는 코어 2개마다 하나씩, L3 캐시는 모든 코어들이 공유하는 것이 일반적이다.

ROM 메모리는 그래픽 카드, 하드디스크, DVD 플레이어, 키보드 등의 기기에서 Firmware를 내부적으로 포함하고 있어야 하는 경우에 사용된다. 예전에는 컴퓨터의 BIOS 또는 부트 섹션도 EEPROM, EPROM을 사용하였으나 최근에는 플래시 메모리가 그 자리를 대체하고 있다. 플래시 메모리의 등장으로 인해 오늘날에는 보조 메모리에 ROM을 사용하는 것이 점점 보기 쉬워지고 있다.

Flash ROM memory

Flash ROM 메모리는 EEPROM 기술을 기반으로 Toshiba가 개발하여 1984년에 출시하였다. 이로 인해 Flash ROM은 EEPROM과 똑 같은 원리에 비슷한 구조를 갖고 있으나 구분을 위해 Non-flash EEPROM 메모리만 EEPROM 이라고 부르고 있다. EEPROM은 비트 단위의 Read/Write를 제공하는 대신 Flash ROM은 여러 비트위 묶음 단위로 Read/Write를 제공한다.

Flash ROM 메모리에는 2가지 종류가 있는데 각각 NAND Flash랑 NOR Flash이다. NOR 메모리의 경우 <Figure >에서와 같이 두개의 Floating Gate MOSFET의 아웃풋이 그라운드로 커플링돼서 NOR게이트의 형태를 띈다. Word Line 에 신호가 가해지면 해당하는 셀이 신호를 그라운드로 당겨버려서 Bit Line의 신호가 낮아진다. 이러한 현상은 NOR 게이트와 흡사하다. NOR Flash는 Read/Write 딜레이가 적어서 속도가 중요한 곳에서 주로 볼 수 있다. 적은 오류로 인해서 정확성과 속도 모두 중요한 BIOS ROM에는 주로 NOR Flash가 사용된다.

NAND Flash는 NAND게이트처럼 여러 개의 트랜지스터들이 직렬로 연결돼 있어서 NAND와 비슷한 작용을 한다. 모든 직렬로 연결된 트랜지스터들이 ON 돼야만 Bit Line의 신호 레벨이 낮아진다. NAND Flash의 경우에는 이러한 트랜지스터들의 배치로 인해 추가적인 주소 연산 단계들이 필요하나, 라우팅이 훨씬 단순하고 덜 필요하기 때문에 더 밀도 높은 메모리를 생산할 수 있다.

